

COMPLEMENTARY ANALOG SWITCH

Patent Number: JP1236731
Publication date: 1989-09-21
Inventor(s): KAWADA SHIGERU
Applicant(s): NEC CORP
Requested Patent: ☐ JP1236731
Application Number: JP19880063856 19880316
Priority Number(s):
IPC Classification: H03K17/08; H03K17/60
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the malfunction by providing a protecting device including a switch element which is inserted between a signal line connecting two complementary transistor TR gates and a specific potential supply terminal and is controlled to be made conductive for nonconduction of gates.
CONSTITUTION:If a positive excessive input signal is applied to a terminal 10 when CMOS gates 150 and 160 are turned off and the circuit between an analog signal input/output terminal 10 and a common terminal 1 is in the non-connection state, source electrodes 112 and 121 of FET switches 110 and 120 are pulled to a high positive potential together. The PN junction of the switch 110 is forward bias and a partial current flows to a supply voltage terminal VDD by a large positive signal. The absolute value of the voltage between the gate and the source exceeds a threshold voltage by the large positive signal to the source electrode 112 and the switch 110 is made conductive, and a current path is formed between the source electrode 112 and a drain electrode 113. However the potential of a terminal 102 does not rise because an FET 130 goes to the conductive state and is connected to an earth terminal, and FETs 150 and 160 are turned off as they are, and the excessive input signal does not reach the terminal 1.

Data supplied from the esp@cenet database - I2

BB

Partial English Translation of
Japanese Patent Laying-Open No. 1-236731

---omitted---

DESCRIPTION OF THE PRIOR ART

Conventionally, a switch circuit used for a multiplexer inputting an analog signal formed on a monolithic integrated circuit is configured of a CMOS structure, in order to allow a wide voltage range of the analog signal input. For example, as shown in Fig. 4, the switch circuit is formed of pMOS FETs 150, 250, ..., 50 connected to analog signal input/output terminals 10, 20, ..., and having gates receiving the control signals 180, 280, ..., n80 from a decoder circuit 2, and nMOSFETs 160, 260, ..., n60 having gates receiving the control signals outputted from an inverters 170, 270, ..., n70 receiving the respective control signals 180, 280, ..., n80. Generally, for protection against static electricity, a protection device (not shown) formed of a diode and a resistor is provided to each input terminal.

Fig. 5 is a schematic diagram showing an example of a conventional switch circuit in a multiplexer implemented on an integrated circuit shown in Fig. 4.

PMOS FET switch 150 is formed in an n well 151 provided on a p type integrated circuit substrate 3, and an nMOSFET 160 is formed on the substrate 3.

Now, it is assumed that a negative excessive input signal is applied as a noise under the condition that control signal 180 attains an H level to render pMOSFET 150 and nMOSFET 160 non-conductive for disconnecting the analog signal input terminal 10 from a common terminal 1, while control signal 280 attains an L level to render the pMOSFET switch 250 and nMOSFET 260 for connecting analog input terminal 20 and common terminal 1. In pMOSFET switch 150, the negative excess input signal is applied to a source electrode 152, and a gate electrode 155 is at the H level, and therefore, pMOSFET switch is not made conductive. In nMOSFET switch 160, when the negative excess input signal is applied to a source electrode 161, a forward junction is formed with p type substrate 3, and a part of current flows into p type substrate 3 by the applied negative signal. NMOSFET switch 160 is kept non-conductive if the gate to source voltage

VGS is lower than the threshold voltage V_{TH} when the gate voltage is at the L level or the ground voltage. However, the source electrode 161 attains a negative voltage, and VGS becomes greater than V_{TH} regardless of the gate voltage at the ground voltage, and nMOSFET switch turns on to transfer the negative excess input signal to common terminal 1 to adversely effect the voltage level at the common terminal 1. When a positive excess input signal is applied to analog input terminal 10, in contrast, pMOSFET switch 150 turns on, and similarly, adverse effect is exerted on the voltage at common terminal 1.

In a conventional CMOS analog switch, a CMOS gate is inserted between two analog signal terminals such as analog signal input/output terminal and a common terminal. Therefore, there is a disadvantage that an excess voltage applied at analog signal input/output terminal might cause an erroneous operation.

An object of the present invention is to provide a complementary analog switch with a protection device for preventing an erroneous operation due to an excess voltage.

---omitted---

EMBODIMENT

Fig. 1 is a circuit diagram showing an first embodiment according to the present invention. Analog signal input/output terminals 10, 20, ... are connected to first terminals 101, 201, ... of protection devices 100, 200 according to the present invention, and MOSFET switches (150, 160), (250, 260), ... to be protected have sources commonly connected and drains connected to each other to form CMOS gates, and the common source terminals are connected to second terminals 102, 202, ... of the protection devices 100, 200, In the switches to be protected, pMOSFET switches 150, 250, have gates connected to control lines 180, 280, ... and nMOSFET switches 160, 260, ... have gates connected to control signal lines 190, 290, ... connected to inverters 170, 270, ... inverting the signals on control signal lines 180, 280, ... PMOSFET switches 110, 210, ... forming protection devices 100, 200, ... have gates connected to control signal lines 180, 280, ... NMOSFET switches have gates connected to control lines 190, 290, ... PMOSFET switches 110, 210, ... have sources connected to respective sources of nMOSFET switches 120, 220, ... and to first terminals 101, 201, ...

of protection devices 100, 200, ... PMOSFET switches 110, 210, ... have drains connected to the respective drains of nMOSFET switches 120, 220, ... and to second terminals 102, 202, ... of protection devices 100, 200, ... Third MOSFET switches or nMOSFET switches 130, 230, ... of protection devices 100, 200, ... are connected between second terminals 102, 202, ... and ground potential, and have gates connected to control signal lines 180, 280, ... MOSFET switch pair (CMOS gate) to be protected (150, 160), (250, 260), ... have the common terminals connected together to common terminal (another analog signal terminal) 1.

CMOS gates pairs (150, 160) and (250, 260) turn on concurrently, and nMOSFET switch turns on and off complementarily to CMOS gate pair (110, 120). Therefore, when CMOS gates (150, 160) and (110, 120) are in an off state, second terminal 102 of protection device through low impedance to ground by the conductive MOSFET switch 130. When CMOS gates (150, 160) and (110, 120) are in an on state, nMOSFET switch 130 is in an off state, and the analog input/output terminal 10 is connected to common terminal 1.

Fig. 2 schematically shows the construction of the protection device implemented by an integrated circuit.

It is assumed that a positive excess input signal is applied to analog input/output terminal 10 when CMOS gate (150, 160) are in the off state to disconnect analog input/output terminal 10 from common terminal 1. Source 121 of pMOSFET switch 110 and source 121 of nMOSFET switch 120 are pulled to the large positive potential, and PN junction between n well 111 of pMOSFET switch 110 and source 112 is forwardly biased, and a part of current flows power supply node VDD from well connection node 114 due to the large positive signal. In addition, pMOSFET switch 110 has the gate biased to power supply voltage through terminal 103 and should be in the off state, but turns conductive to form the current flowing path to the drain electrode 113 because the gate to source voltage V_{GS} becomes greater in absolute than the threshold voltage V_{TH} . In nMOSFET switch 120, it is different in conductivity type from pMOSFET switch 110, and does not cause any problem. The second terminal 102 connected to MOSFET switch pair (110, 120) is connected to ground through the conductive nMOSFET switch 130, and has the voltage level not raised. Therefore, MOSFET switch pair (150, 160) is kept non-conductive, to prevent the positive excess input signal from arriving at common terminal 1.

When a negative excess input signal is applied to analog input/output terminal 10, in contrast to the description as above, pMOSFET switch does not cause any problem. However, nMOSFET switch 120 has the junction between the source 121 and the substrate 3 forwardly biased to allow a part of current to flow from substrate grounding node 4, and turns conductive to form a current flowing path between the source 121 and drain 122. However, the second terminal 102 is grounded through a low impedance by the conductive nMOSFET switch 130, and CMOS switch pair (150, 160) are kept non-conductive, to prevent the negative excess input signal from arriving at common terminal 1.

The second terminal 102 has the voltage level of the input excess input signal divided by the on-resistance of MOSFET switch 110 or 120 and the on-resistance of MOSFET switch 130, and the voltage level V_{102} at the second terminal 102 is represented as follows:

for the positive excess input signal,

$$V_{102} = V_{IN} * R_{130} / (R_{110} + R_{130}),$$

for the negative excess input signal,

$$V_{102} = - V_{IN} * R_{130} / (R_{120} + R_{130}),$$

where V_{IN} indicates the absolute value of the excess input signal voltage, R_{110} , R_{120} , and R_{130} indicate the on-resistances of switches 110, 120 and 130, respectively.

Thus, when an excess input signal is applied, the voltage level V_{102} at the second terminal 102 is determined as described above, for either of the negative and positive excess input signal, and there is no problem if the on-resistance of nMOSFET switch 130 is appropriately small.

In the embodiment shown in Fig. 1, the gate to source voltage V_{GS} of MOSFET switch 150 or 160 can be made smaller in the case of the positive excess input signal, rather than in the case of the negative excess input signal, and therefore, the protection effect is great against the positive excess input signal.

Fig. 3 shows a second embodiment according to the present invention. The configuration shown in Fig. 2 is substantially the same as the configuration of the first embodiment. However, the second terminals 102, 202, ... of the protection devices 100, 200, ... are coupled to power supply VDD through pMOSFET switches 140, 240, ..., in place of the nMOSFET switches 130, 230, ... connecting to ground.

According to such configuration, the operation similar to the operation in the first embodiment, but contrary to the first embodiment, the negative excess input signal, rather than the positive excess input signal can makes the gate to source voltage VGS of MOSFET switch smaller. The protection effect is made great against the negative excess input signal.

The case is discussed in which complementary transistor gates are formed of a CMOS structure, however, it is apparent, even without detail description, that lateral bipolar transistors can be employed to achieve the same effect.

As described above, according to the present invention, in the complementary analog switch, another complementary transistor gate is inserted, and a switching transistor having one end connected to power supply or ground. Therefore, a positive or negative excess input signal applied to input/output terminal (analog signal terminal) is prevented from being erroneously transmitted to another analog input signal, to advantageously prevent an erroneous operation of the complementary analog switch.

In particular, when a sample and hold circuit is connected to another side of the analog switch circuit, even if an excess input signal is applied to input/output circuit in the off state of the analog switch during the holding state of the sample and hold circuit, the holding voltage is not never disturbed.

In addition, in the case of a multiplexer having a plurality of analog switches having first ends connected together, even if an excess input signal is applied to a non-selected input/output terminal, there is no adverse influence on a selected switch.

As described above, the present invention exhibits a great effect of preventing generation of an error upon application of an excess input voltage for an analog switch circuit used in combination with a sample and hold circuit or for an analog switch used in combination with a multiplexer.

It is natural that an known static electricity protection, such as a current limiting resistance in the path from the input/output terminal to the protection device, may be combined.

---omitted---

Fig. 1

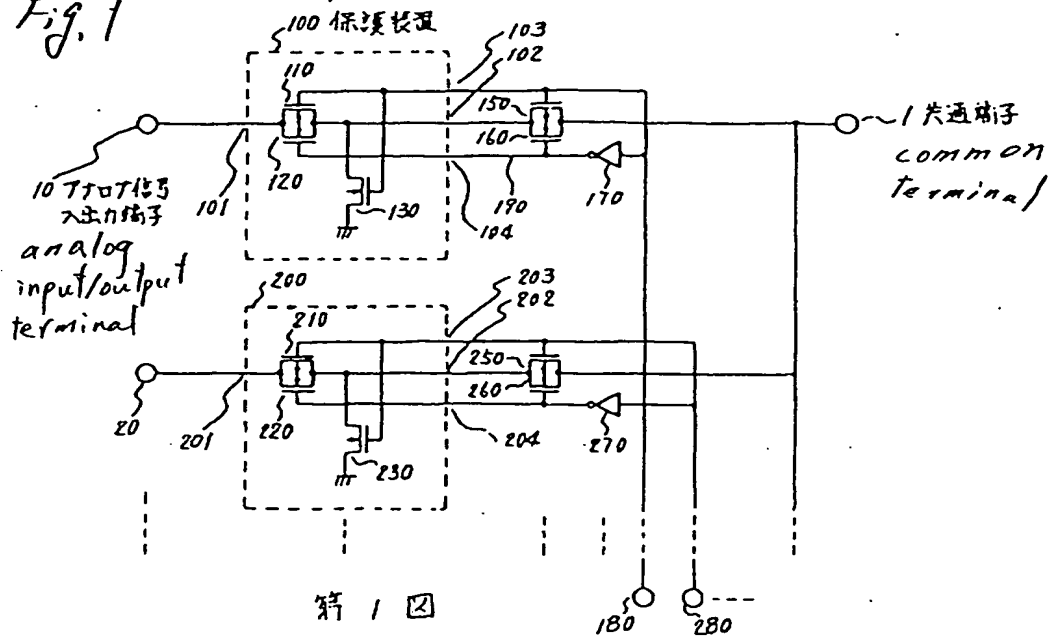


Fig. 2

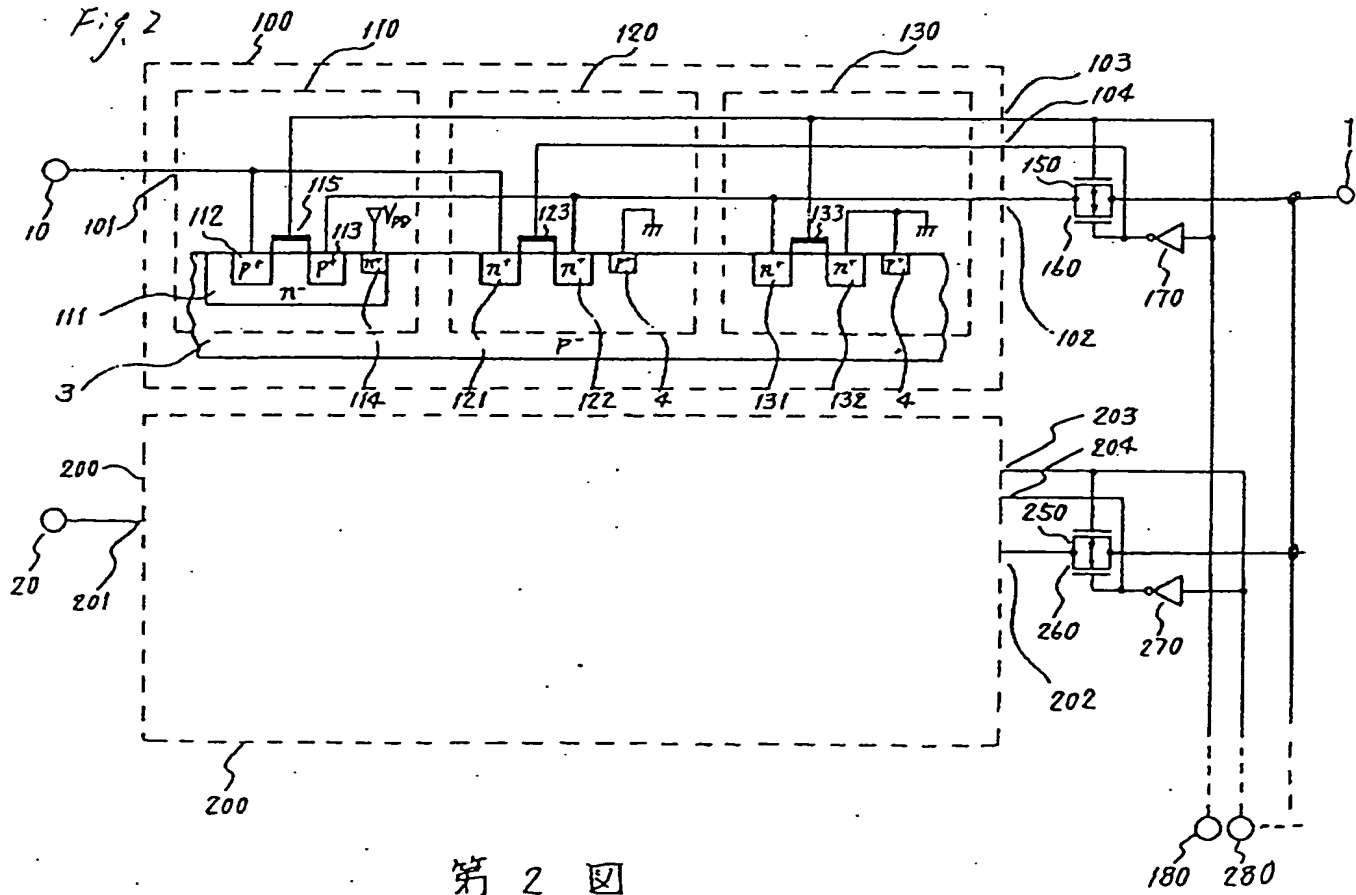


Fig. 3

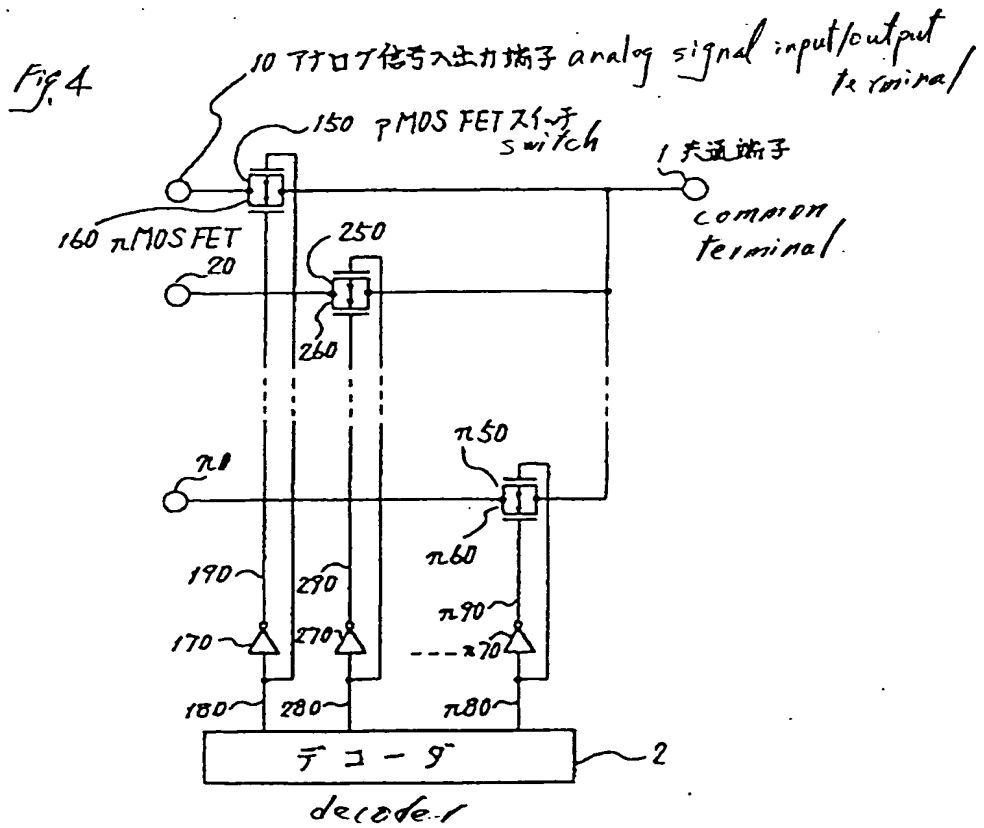
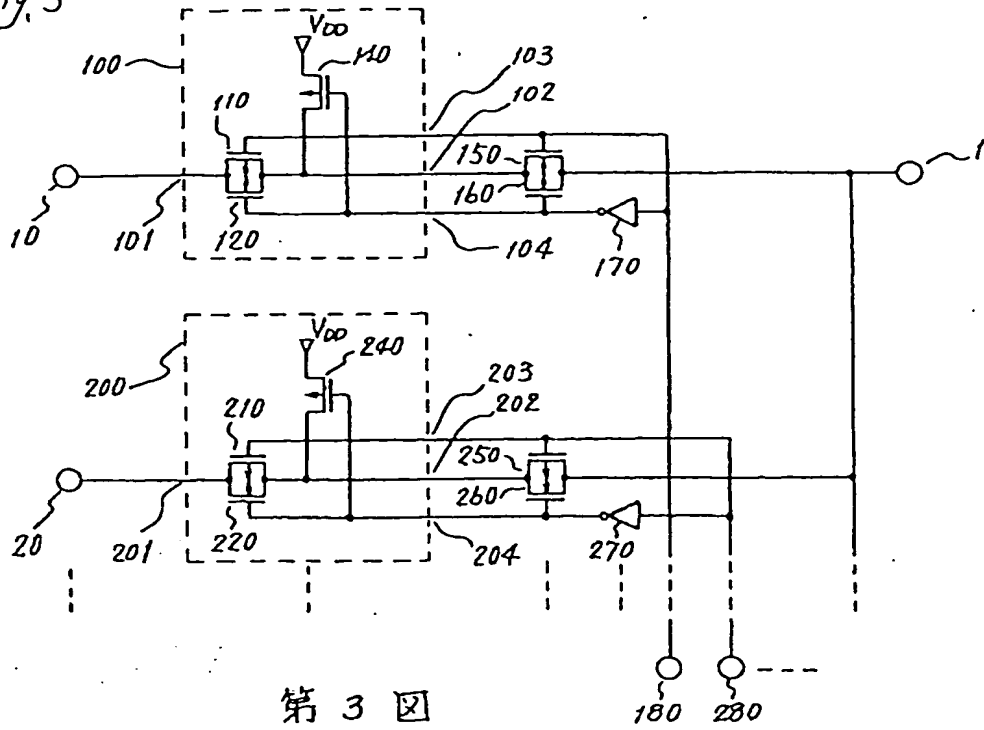
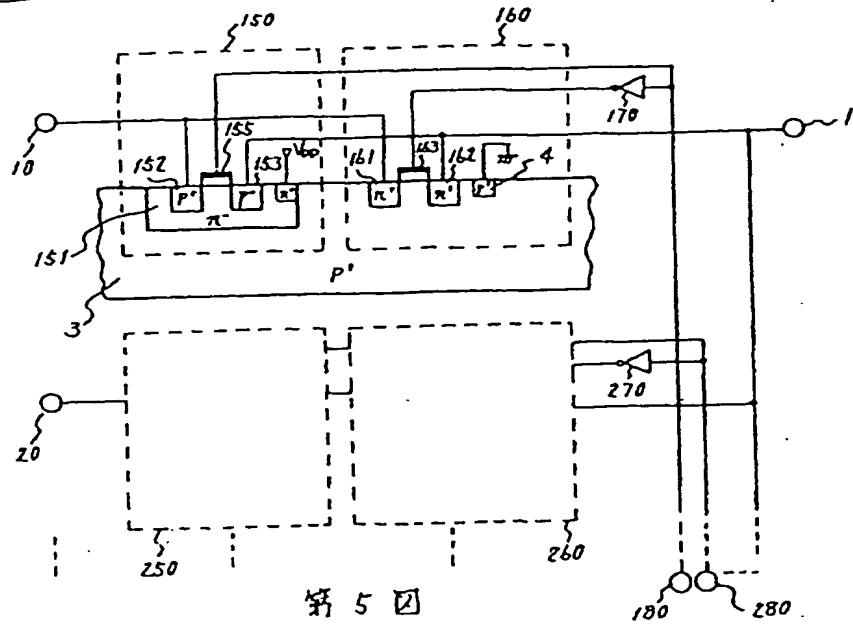


Fig. 5



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平1-236731

⑫ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 平成1年(1989)9月21日
 H 03 K 17/08 C-8124-5 J
 17/60 G-8124-5 J
 // H 01 L 27/08 3 2 1 L-7735-5 F 審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 相補型アナログスイッチ

⑮ 特 願 昭63-63856

⑯ 出 願 昭63(1988)3月16日

⑰ 発 明 者 川 田 茂 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代 理 人 弁理士 内 原 晋

明 細 書

〔産業上の利用分野〕

本発明は相補型アナログスイッチに関し、特に、モノリシック集積回路上に形成されるCMOSアナログスイッチに関する。

〔従来の技術〕

従来、モノリシック集積回路上に形成されるアナログ信号入力のマルチプレクサに使用されるスイッチ回路は、アナログ信号入力の入力電圧範囲を広くとれる様にCMOS構造を用い、例えば第4図に示すように、各アナログ信号入出力端子10、20、…、n0にそれぞれ接続され、デコード回路2からの制御信号180、280、…、n80がゲートに印加されたpMOSFETスイッチ150、250、…、n50と、制御信号180、280、…、n80がそれぞれ入力されたインバータ170、270、…、n70の出力である制御信号190、290、…、n90がゲートに印加されたnMOSFETスイッチ160、260、…、n60とを用いて構成されており、通常静電気に対する保護のため、各入力端子にダイオードと並

1. 発明の名称

相補型アナログスイッチ

2. 特許請求の範囲

少なくとも1つのアナログ信号端子と他のアナログ信号端子との間に挿入された相補トランジスタ・ゲートを備えてなる相補型アナログスイッチにおいて、前記相補トランジスタ・ゲートと直列に挿入された他の相補トランジスタ・ゲートと、前記二つの相補トランジスタ・ゲートの間を結ぶ信号線と特定電位供給端子間に挿入され、前記二つの相補トランジスタ・ゲートの導通・非導通を制御する制御信号によって前記相補トランジスタ・ゲートの非導通時に導通となるよう制御されるスイッチ素子とを含む保護装置を有することを特徴とする相補型アナログスイッチ。

3. 発明の詳細な説明

れ、この場合はグート電圧15.5は高レベルとな
っているため、 PMOS FET M1 、 M15 はオ
ンしないが、一方 nMOS FET M1 、 M16
においては、ソース電圧16.1に負の過大入力信
号が印加されると、 P型基板 3と順方向接合が形成
され印加された負信号により一部の電流は P型基
板接点4から電流が流れる。またグート電圧

16.3は低レベルつまり低電圧状態電位にあり、
 NMOS FET M1 、 M16 のグート・ソース間
電圧 V_{GS} がしきい電圧 V_{TH} よりも小さかったた
めオフトしていたのが、ソース電圧16.1に負の電
位となるために、グート電位がほぼ接地電位にも
かわからず V_{GS} が V_{TH} より大きくなって、 P
 MOS FET M1 、 M16 がオフトしてしまいついて

の負の過大入力信号が共通端子1へ到達してしま
 NMOS FET M1 、 M16 がオフトしてしまいついて
 NMOS FET M1 、 M16 がオフトしてしまいついて
の負の過大入力信号が共通端子1へ到達してしま
い共通端子1の電位に悪影響を与えてしまう。一
方 P型基板 3に負の過大入力信号10.1に正の過大入力信号
が印加された場合は、上述とは全く逆に PMOS
 FET M1 、 M15 がオフトしてしまいついて同様に関
連端子1に悪影響を与えてしまいついていた。

上述した従来の CMOS P MOS FET M1 、 M15 は、 P
型基板3に負の過大入力信号と共通端子1という2つの
 P MOS FET M1 、 M15 の間に CMOS P MOS FET M1 、 M15 が挿入されて
いるだけであるので、 P MOS FET M1 、 M15 の間に
加わる過大電圧により誤動作する場合は生じると
いう欠点があった。

本発明の目的は、過大電圧による誤動作を防止
する保護装置を備えた相補型 P MOS FET M1 、 M15 を
提供することにある。

（課題を解決するための手段）
本発明の相補型 P MOS FET M1 、 M15 は、少なくとも
も1つの P MOS FET M1 と他の P MOS FET M15
との間にそれぞれ挿入された相補 P MOS FET M1 、 M15
・グートを備えている相補型 P MOS FET M1 、 M15 に
おいて、前記相補 P MOS FET M1 、 M15 と直列に
挿入された他の相補 P MOS FET M1 、 M15 と、前
記2つの相補 P MOS FET M1 、 M15 の間に結ぶ信
号線と特定電位供給端子間に挿入され前記2つの
相補 P MOS FET M1 、 M15 ・グートの導通・非導通を制御
する制御信号によって前記相補 P MOS FET M1 、 M15 ・グ
ートの非導通時に導通となるよう制御される M1
・グート素子とを有する保護装置を有するといふもので
ある。

次に本発明について図面を参照して説明する。
図1図は本発明の第1の実施例の回路図である。
 P MOS FET M1 、 M15 の間に P MOS FET M1 、 M15 の間に
201、...に接続され、保護される PMOS FET
 M1 、 M15 （150、160）、（250、260）。
その共通ソース電極が保護装置100、200。
...はそれぞれソース電極同士および P MOS FET M1 、 M15
同士に共通に接続されて CMOS P MOS FET M1 、 M15 を構成し、
その共通ソース電極が保護装置100、200。
...の第2の端子102、202、...に接続されて
いる。保護される M1 、 M15 のうち PMOS FET
 M1 、 M15 は、それぞれ P MOS FET M1 、 M15 のグート電極はそれ
ぞれ制御信号線180、280...に接続され、 nMOS FET M1 、 M15 のグ
ート電極は、それぞれ制御信号線180、280、

いた。
第5図は第4図に示した従来の P MOS FET M1 、 M15 の
における M1 、 M15 を保護装置上に実装した場合の
一例を示した模式図である。

P MOS FET M1 、 M15 が形成さ
れ、また基板3上に nMOS FET M1 、 M16
が形成されている。

ここで制御信号180が低レベルとなり、 P
 MOS FET M1 、 M15 、 nMOS FET
 M1 、 M16 がオフトした状態にあり、制御信号
280が低レベルとなり、 PMOS FET M1 、 M15 、 P
 MOS FET M1 、 M16 がオフトしてしまいついて
共通端子1と共通端子20と共通端子1との間に接続
状態となっている場合に、 P MOS FET M1 、 M15 の間に
10.1に負の過大入力信号が雑音等として印加され
たとする。 PMOS FET M1 、 M15 において
はソース電圧15.2に負の過大入力信号が印加さ

…の反転信号を作るインバータ170、270、…を介して、制御信号^線190、290、…が接続されている。保護装置100、200、…を構成しているpMOS FETスイッチ110、210、…のゲート電極は制御信号線180、280、…に接続されており、nMOS FETスイッチ120、220、…のゲート電極は制御信号線190、290、…に接続されており、これらpMOS FETスイッチ110、210、…のソース電極は、n型MOS FETスイッチ120、220、…のソース電極にそれぞれ接続され保護装置100、200、…の第1の端子101、201、…に接続されている。またpMOS FETスイッチ110、210、…のドレイン電極は、nMOS FETスイッチ120、220、…のドレイン電極にそれぞれ接続され保護装置100、200、…の第2の端子102、202…に接続されている。また保護装置100、200、…の第3のMOS FETスイッチであるnMOS FETスイッチ(スイッチ素子)130、230、…は保護

装置100、200、…の第2の端子102、202、…と接地電位との間に接続されゲート電極は制御信号線180、280、…に接続されている。また保護されるMOS FETスイッチ対(CMOSゲート)(150、160)、(250、260)…の共通電極は互いに接続され、共通端子1(他のアナログ信号端子)に接続されている。

ここでCMOSゲート(150、160)、と(110、120)は同時にオン/オフし、nMOS FETスイッチ130はCMOSゲート(110、120)と逆相でオン/オフする。したがってCMOSゲート(150、160)と(110、120)がオフしている時には保護装置の第2の端子102はMOS FETスイッチ130がオンし低インピーダンスで接地されている。一方CMOSゲート(150、160)と(110、120)がオンしている時はnMOS FETスイッチ130はオフし、アナログ信号入出力端子10と共通端子1とが接続状態となっている。

第2図は保護装置を乗波回路で実現した場合の

一例を示す模式図である。

今CMOSゲート(150、160)がオフし、アナログ信号入出力端子10と共通端子1間が非接続状態にある時に、アナログ信号入出力端子10に正の過大入力信号が印加されたとする。pMOS FETスイッチ110のソース電極112とnMOS FETスイッチ120のソース電極121は共に大きな正電位へ引かれ、pMOS FETスイッチ110のnウェル111とソース電極112との間のPN接合は順方向バイアスとなり、印加された大きな正信号により一部の電流はウェル接続点114より電極電圧端子VDDへ流れる。また、pMOS FET 110はゲート電極が端子103を介して電極電位にバイアスされ本来オフしているが、ソース電極112への大きな正信号によりゲートソース間電圧Vgsの絶対値が閾値電圧Vthより大きくなり導通し、ドレイン電極113との間に電流経路が形成される。一方nMOS FETスイッチ120においてはpMOS FETスイッチ110とは導電型が異なるため一

切不具合は生じない。しかしここでMOS FETスイッチ対(110、120)の接続されている第2の端子102は、nMOS FETスイッチ130が導通状態となり接地端子に接続されているため、電位が上昇せず、MOS FETスイッチ対(150、160)はオフしたままとなり、この正の過大入力信号は共通端子1へ到達する事はなくなる。

一方アナログ入出力端子10に負の過大入力信号が印加された場合は、上述の説明とは逆にpMOS FETスイッチ110は一切不具合を生じないが、nMOS FETスイッチ120においてソース電極121と基板3との間で順方向バイアスとなり、一部電流が基板接地地点4より流れ、またnMOS FETスイッチ120が導通し、ソース電極121とドレイン電極122との間に電流経路が形成される。しかしnMOS FETスイッチ130により第2の端子102は低インピーダンスで接地されているため、MOS FETスイッチ対(150、160)はオフしたままとなり、この負の過大入力信号は共通端子1へ到達することはない。

くなる。

ここで第2の端子102の電位は入力された過大入力信号をMOS FETスイッチ110又は120のオン抵抗とMOS FETスイッチ130のオン抵抗とで分圧したものとなるため、過大入力信号の電位の絶対値を V_{IN} 、p MOS FETスイッチ110がオンした時のオン抵抗を R_{110} 、n MOS FETスイッチ120がオンした時のオン抵抗を R_{120} 、またn MOS FETスイッチ130のオン抵抗を R_{130} とすると、第2の端子102の電位 V_{102} は、

正の過大入力信号の場合、

$$V_{102} = V_{IN} \times R_{130} / (R_{110} + R_{130})$$

負の過大入力信号の場合、

$$V_{102} = -V_{IN} \times R_{130} / (R_{120} + R_{130})$$

となる。

従って、過大入力信号が印加された場合、それが正の過大入力信号あるいは負の過大入力信号のいずれであるにせよ、第2の端子102の電位 V_{102} が上述のように定まるのでn MOS FET

られるので負の過大入力信号に対する保護効果が大きい。

以上、相補トランジスタ・ゲートがCMOS構成の場合について説明したが、横型バイポーラ・トランジスタを使用してもよいことは改めて詳述するまでもなく明らかである。

【発明の効果】

以上説明したように、本発明は相補型アナログスイッチにおいて、もう一つの相補トランジスタ・ゲートを挿入し、電流端子又は電圧端子に他端が接続されたスイッチ素子4を1個付加することにより、入出力端子（アナログ信号端子）に印加された正または負の過大入力信号が誤って他のアナログ信号端子へ伝達されることはなくなり、相補型アナログスイッチの誤動作を防止できる効果がある。

特にアナログスイッチの他端側にサンプル・ホールド回路が接続されている場合には、アナログスイッチが非導通のホールド状態において、入出力回路に過大入力信号が印加されてもホールド値

スイッチ130のオン抵抗が小さいと全く問題がない。

この第1の実施例では負の過大入力信号の場合より、正の過大入力信号の場合の方がMOS FETスイッチ150または160のゲートソース間電圧 V_{GS} を小さくおさえられるので正の過大入力信号に対する保護効果は大きい。

第3図は本発明の第2の実施例の回路図である。第1図に示した第1の実施例とほぼ同様な構成であるが、各保護装置100、200、…の第2の端子102、202…に接続されていたスイッチ素子が第1の実施例ではn MOS FETスイッチで接続端子との間を導通させていたが、本実施例ではp MOS FETスイッチ140、240、…を介して電流端子 V_{DD} に接続されている。

このように構成をすると、第1の実施例に準じた動作をするが、ただしこの場合は第1の実施例とは反対に正の過大入力信号の場合より負の過大入力信号の方がMOS FETスイッチ150または160のゲートソース間電圧 V_{GS} が小さくおさえ

が乱されない。

また、いくつかのアナログスイッチの一端が共通に接続されマルチプレクサを構成している場合も、選択されていない入出力端子に過大入力信号が印加されても選択されているスイッチへの影響は全くない。

以上説明した通り、特にサンプル・ホールド回路と組合わせて使用されるアナログスイッチ回路、あるいはマルチプレクサ回路と組合わせて使用されるアナログスイッチ回路として過大入力時の誤差発生を防止する大きな効果を示すものである。

尚入出力端子から保護装置に至る経路に電流制限抵抗を接続する等の公知の静電保護等と組合わせて使用してもよいことは当然である。

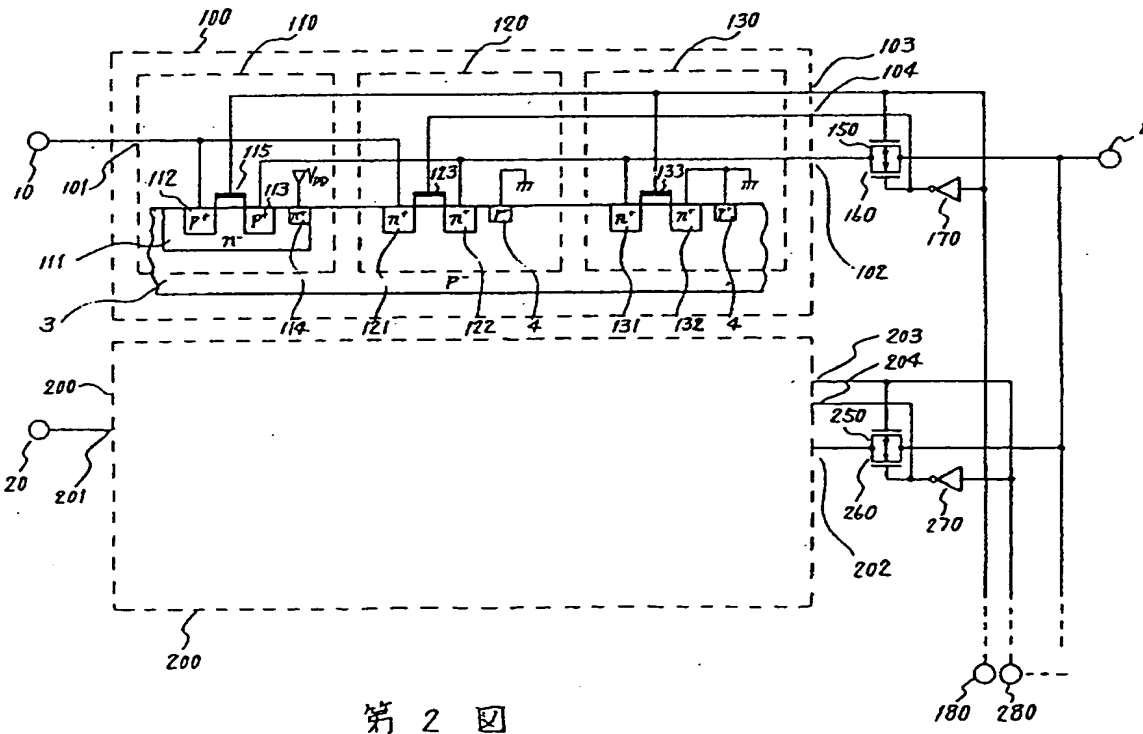
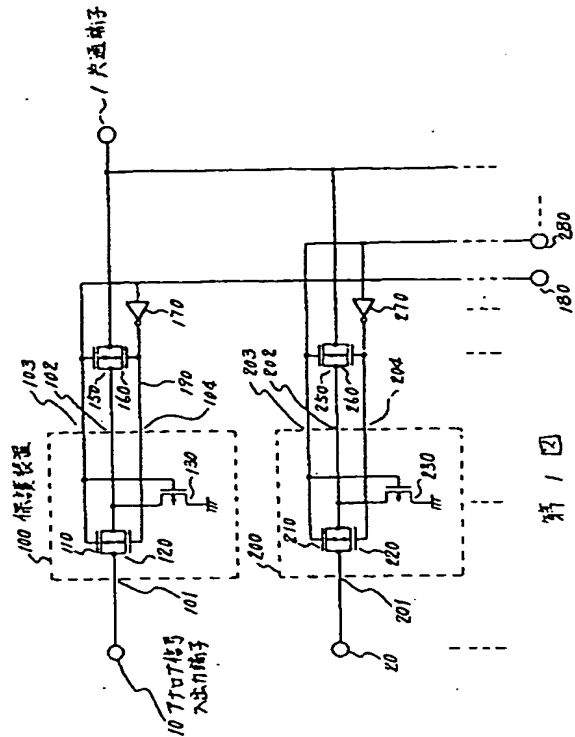
4. 図面の簡単な説明

第1図は本発明の第1の実施例の回路図、第2図は第1の実施例をチップレベルで説明するための模式図、第3図は本発明の第2の実施例の回路図、第4図は従来例の回路図、第5図は従来例を

チャ、レベルで説明するための模式図である。

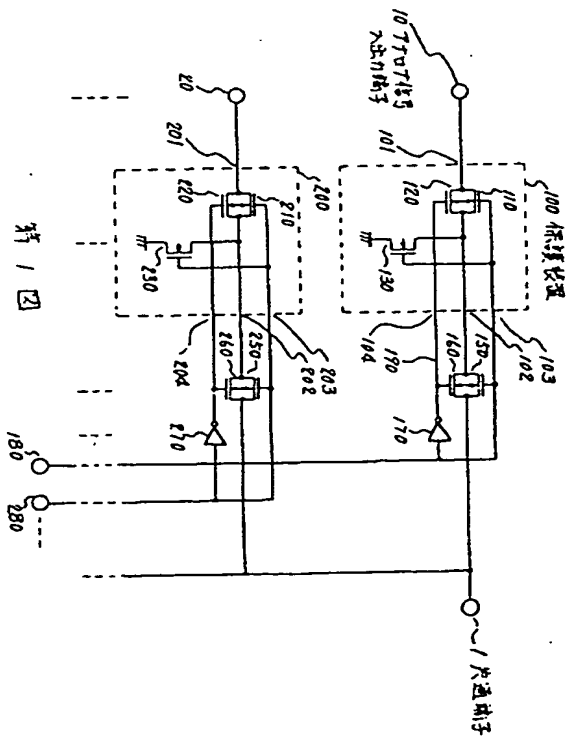
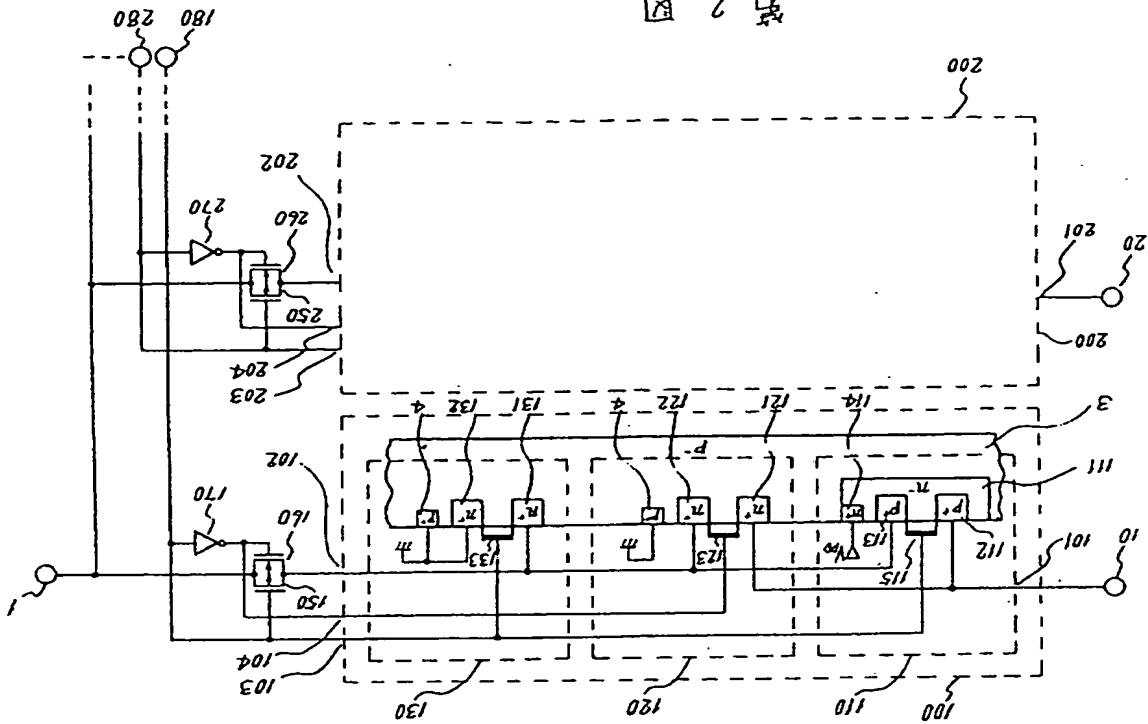
1 ……共通端子、2 ……デコーダ、3 ……乗換
回路基板、4 ……基板接地点、10、20、…、
n0 ……入力端子、100、200、…保護装置、
101、201 ……第1の端子、102、202 ……
第2の端子、103、104、203、204 ……端
子、110、140、150、210、240、250、
…n50 ……pMOSFETスイッチ、120、
130、160、220、230、260、…n60 ……
…nMOSFETスイッチ、170、270、…n
70 ……インバータ、180、190、280、290、
…n80、n90 ……副信号又は副信号線、
111、151 ……nウェル、112、113、121、
122、131、132、152、153、161、
162 ……ソース又はドレイン電極、115、
123、133、155、163 ……ゲート電極。

代理人 开理士 內 原 省



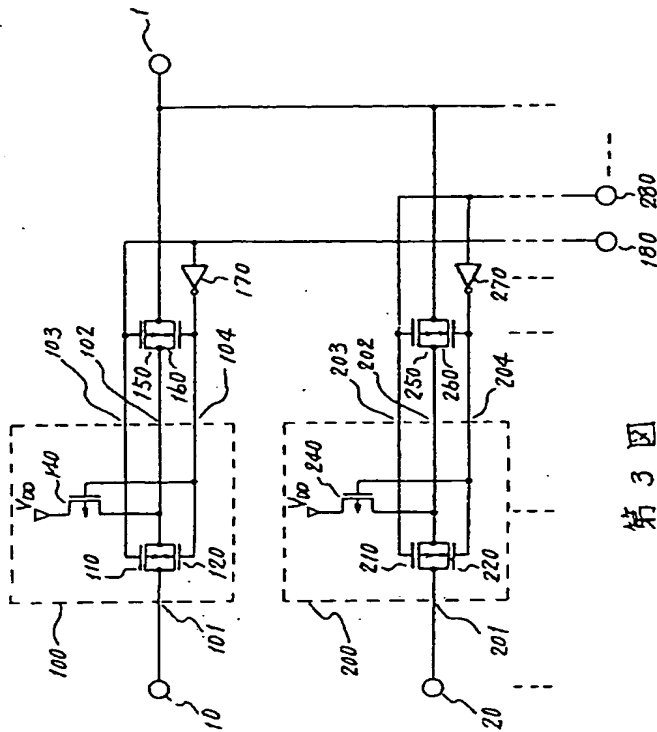
第 2 圖

第 2 圖

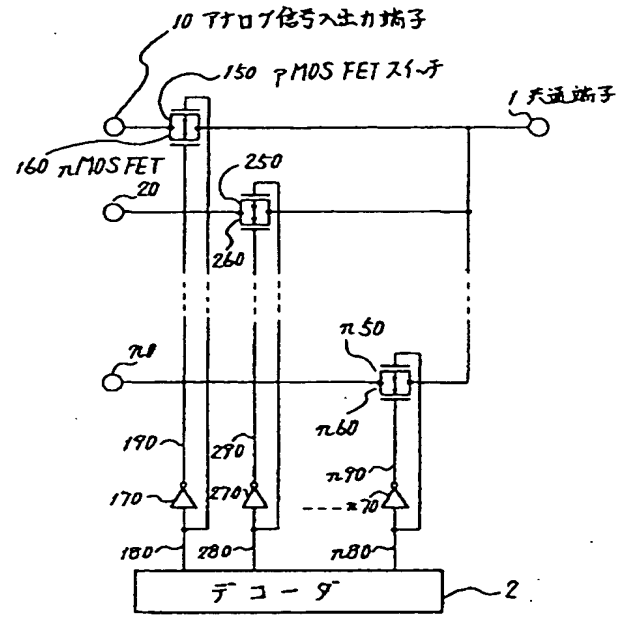


代理人 井屋士 内 原 昌

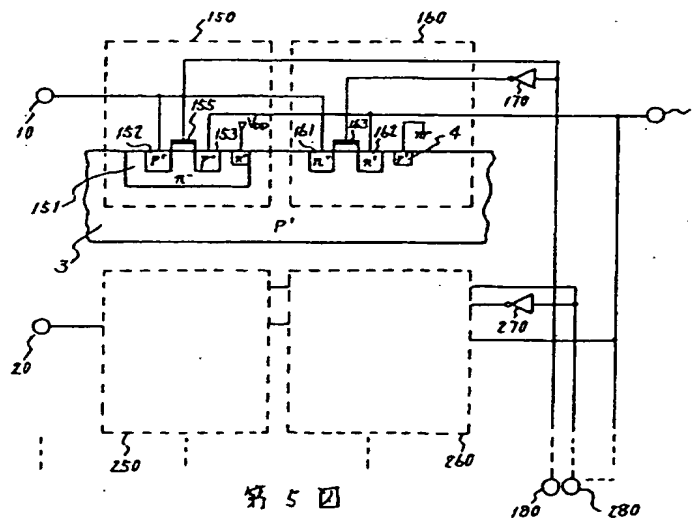
123. 133. 155. 163 ……フー電機。
162 ……フー又はフレイ電機、115。
122. 131. 132. 152. 153. 161。
111. 151 ……ムズ、112. 113. 121
……80. 090 ……郵便番号又は郵便号綴、
70 ……イフス、180. 190. 280. 290。
……MOS FET マイナ、170. 270. ……
130. 160. 220. 230. 260. ……60
……p MOS FET マイナ、120。
子、110. 140. 150. 210. 240. 250。
第2の端子、103. 104. 203. 204 ……添
101. 201 ……第1の端子、102. 202 ……
n0 ……入出力端子、100. 200. ……保護装置。
回路接続、4 ……差動接続点、10. 20. ……
1 ……共通端子、2 ……フュー、3 ……集積
チップレベルで説明するための模式図である。



第 3 図



第 4 図



第 5 図